



MÜHENDİSLİK VE MİMARLIK FAKÜLTESİ

2. CEVAP KAĞIDI/Answer Paper

Öğrencinin/Student's Adı Soyadı/Name, Surname : Numarası/Number : Bölüm Program/Department-Programme : İmzası/Signature :	DERS Course	Adı/Name: Mantıksal Sistem Tasarımı / Logical System Design
		Kodu/Code: BLM201
		Sorumlusu/Lecturer: Dr. Öğr. Üyesi Vecdi Emre Levent

CEVAPLAR/Answers

Soru 1 (40 Puan):

`timescale 1ns / 1ps

```
module tb_myModule();  
    reg A, B, C, D;  
    wire Z;
```

```
    myModule DUT (.A(A), .B(B), .C(C), .D(D), .Z(Z) );
```

```
initial begin  
    A = 1;  
    B = 1;  
    C = 1;  
    D = 0;  
    #10;  
    A = 0;  
    B = 0;  
    C = 1;  
    D = 0;  
    #10;  
    A = 0;  
    B = 0;  
    C = 0;  
    D = 0;  
    #10;  
    A = 1;  
    B = 1;  
    C = 1;  
    D = 1;
```



```
end
```

```
endmodule
```

```
module myModule(A, B, C, D, Z);  
    input A, B, C, D;  
    output reg Z;  
  
    always@(*)  
        Z = A & B & C & D;  
endmodule
```

Soru2 (40 Puan):

```
`timescale 1ns / 1ps
```

```
module myALU(input [7:0] i_a, input [7:0] i_b, input [2:0] i_op, output reg [15:0] o_c)  
  
    always@(*) begin  
        if(i_op == 0) begin  
            o_c = i_a - i_b;  
        end else if(i_op == 1) begin  
            o_c = i_a & i_b;  
        end else if(i_op == 2) begin  
            o_c = i_a + i_b;  
        end else if(i_op == 3) begin  
            o_c = i_a | i_b;  
        end else if(i_op == 4) begin  
            o_c = i_a ^ i_b;  
        end else if(i_op == 5) begin  
            o_c = i_b;  
        end else begin  
            o_c = 16'b1010101010101010;  
        end  
    end  
end  
endmodule
```



Soru 3 (20 Puan):

Bir devrenin çıktıları kendisine giriş olarak gelmesi gerektiğinde ve/veya kesin zaman'a bağlı olarak bir işlem yapılmak istendiğinde kombinasyonel devreler bu ihtiyaca cevap verememektedir. Bunun için devreye clock girişi alınıp flip-flop kullanılmaktadır. Devrede flip flop ve kombinasyonel devrenin bir arada kullanılması, yani ardışık devreler ile devrede latch oluşması engellenip zamanlama hataları oluşmaması sağlanır.